

生醫植入之四階層無線FSK解調器電路設計

Design of Four-level Wireless FSK Demodulator Circuit for Biomedical Implants

指導教授：杜弘隆 博士 學生：羅勻辰 劉家妤 蘇琬庭 岳貝融

輔仁大學 電機工程學系 大學部專題生

摘 要

本系統結構為輸入級(磁耦合線圈)接收之無線訊號(約9.9MHz)，經過第一級Mixer與本地震盪訊號10MHz混波，之後降頻為IF訊號(約莫50KHz)，再經由運算放大器放大至全擺幅，以供四階層FSK解調器解調出四種頻率的信號，最後經由邏輯分析儀器可以觀察解調結果是否正確。

本系統晶片內包含混波器Mixer以及用算放大器OPA；晶片下線前使用Cadence模擬環境下模擬成功並Virtuoso繪製Layout圖，再以國家晶片中心(CIC)後台指令做DRC，LVS，RC萃取並使用Spice工具做 Post-simulation以上皆通過後晶片使用TSMC 1P6M 0.18 um製程，操作在1.8v電壓之下；最後晶片成品經過CIC包裝後，由電源供應器流入測試電路PCB板之電流為4mA，其功率消耗約為7.2mW，且經由解調後測試結果正確。

一、本專題混波器及OPA電路架構與規格說明

無線輸入訊號(Vrf)	本地振盪訊號(Vlo)	基頻訊號(Vif)
9.9524 MHz	10 MHz	47.6 KHz
9.9508 MHz		49.2 KHz
9.9492 MHz		50.8 KHz
9.9476 MHz		52.4 KHz

表1電路規格

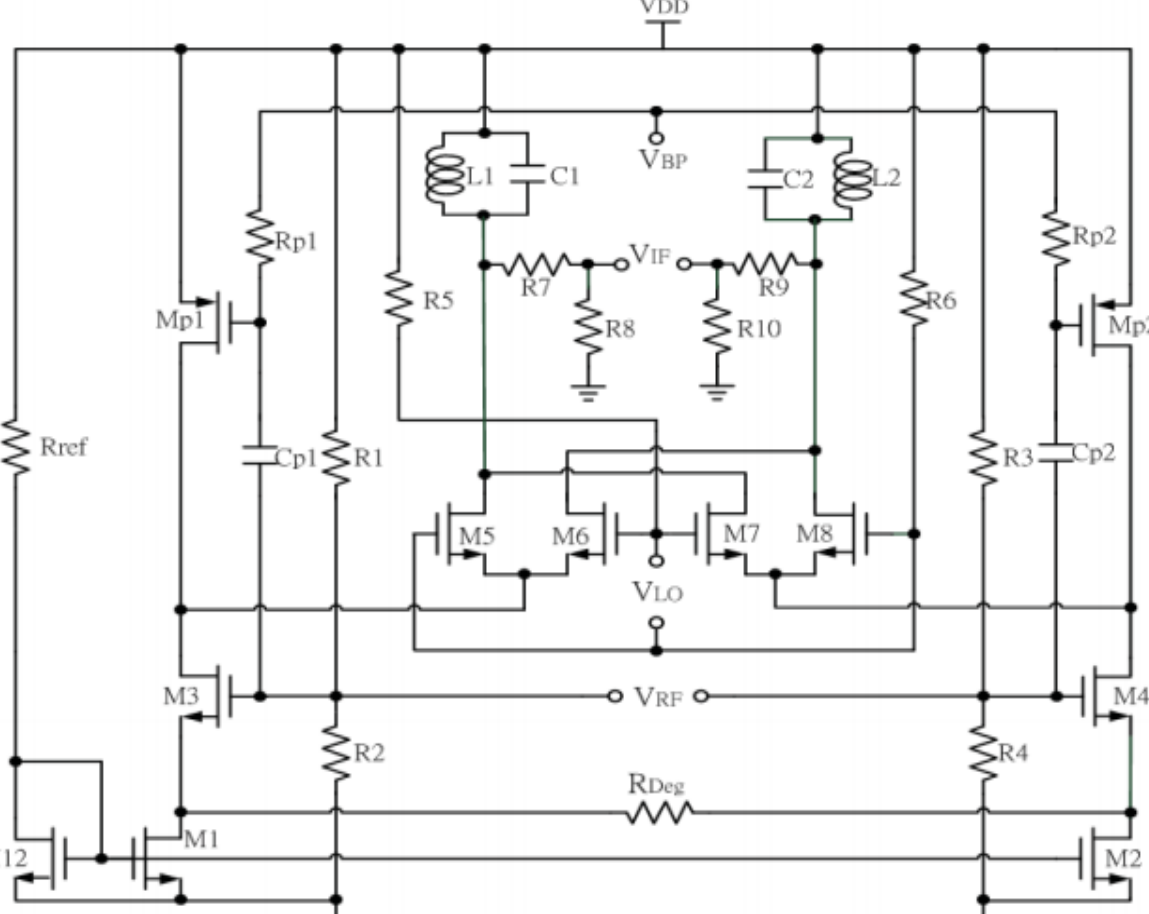


圖1 混波器電路圖

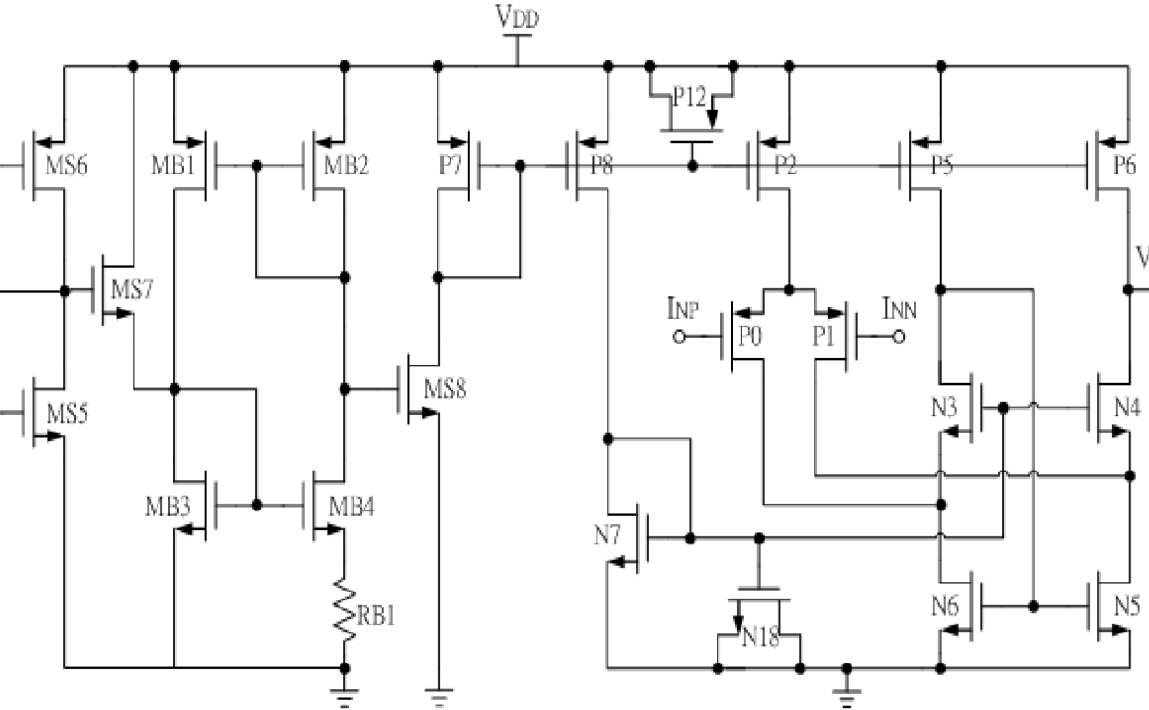
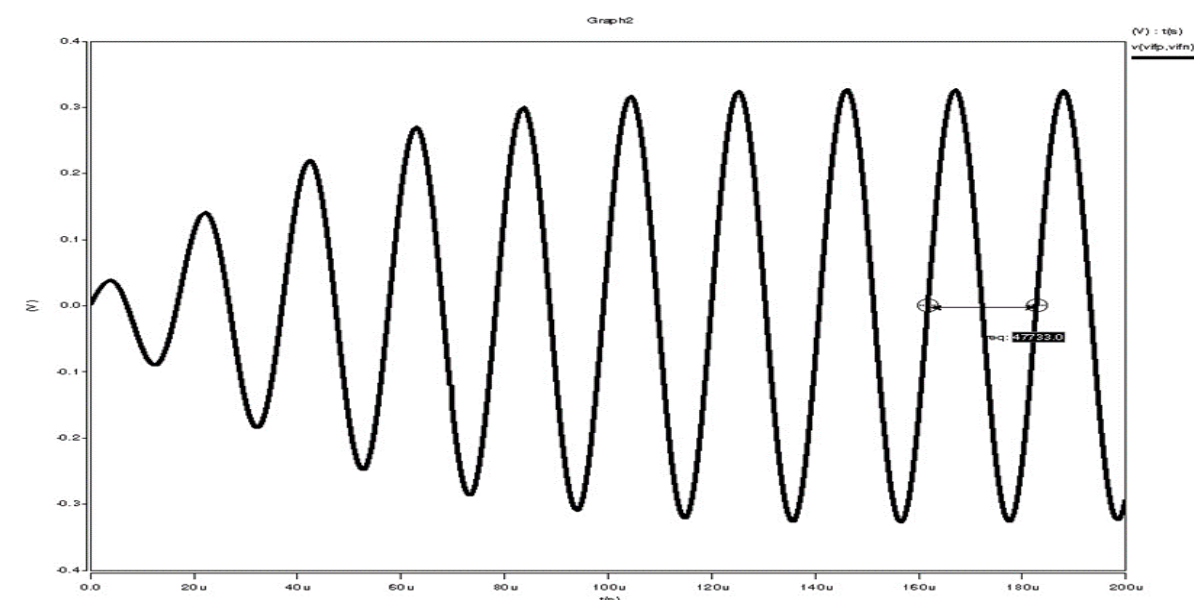
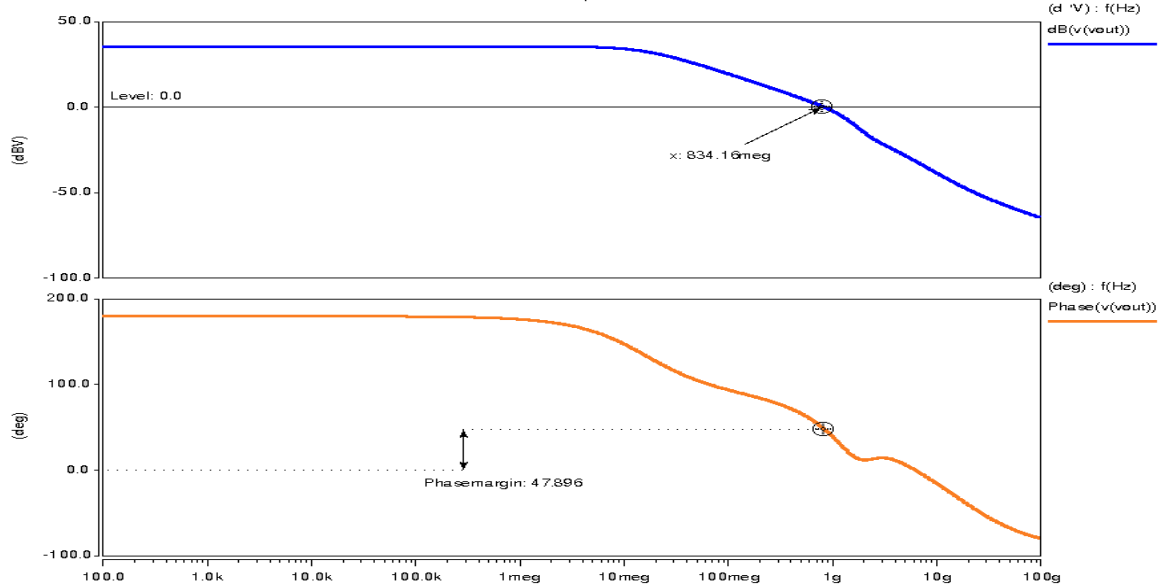


圖2 OPA電路架構圖



Post-simulation以輸入信號Vrf以9.9524MHz作為輸入，本地震盪信號Vlo以10MHz作為輸入，觀察輸出信號Vif如圖所示，由圖可觀察到輸出信號Vif頻率為47.7KHz與預期之47.6kHz相差甚微。



穩定度分析如圖所示之Bode-Plot，運算放大器的phase margin約為47.9度，已達穩定且輸入Vif在頻率1MHz以下時的增益達35db。

二、數位解調器

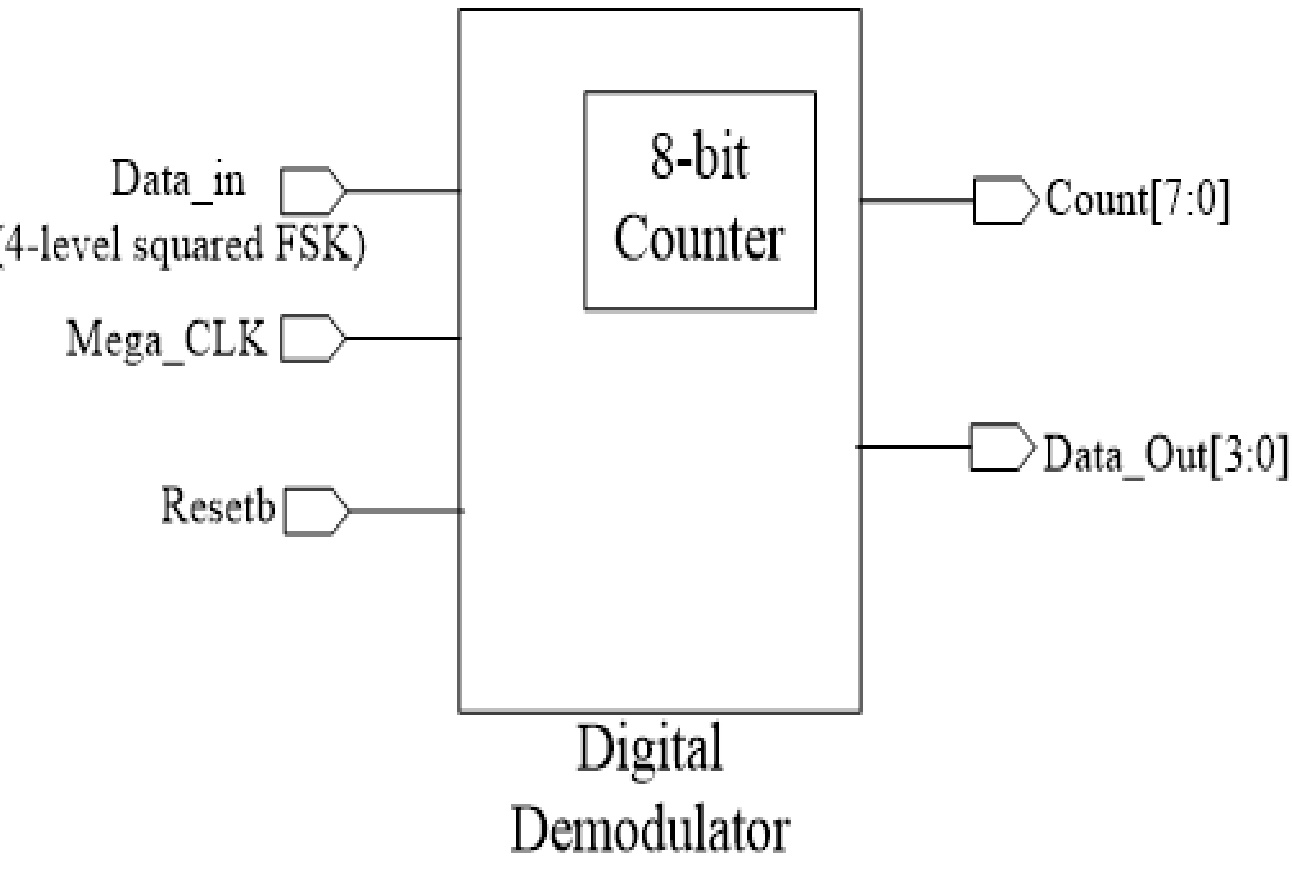


圖3 fsk解調變器架構圖

Character	Frequency
Received signal Frequency	= 9.9476MHz = 9.9492MHz = 9.9508MHz = 9.9524MHz
Down-Converted IF signal Frequency	= 52.4KHz = 50.8KHz = 49.2KHz = 47.6KHz
Local Oscillator Frequency	10MHz
Frequency of Vif v.s. Binary code	47.6 KHz = 1011 49.2 KHz = 0111 50.8 KHz = 1101 52.4 KHz = 1110 Other Frequency = 0000

表2 四階層無線FSK解調器規格

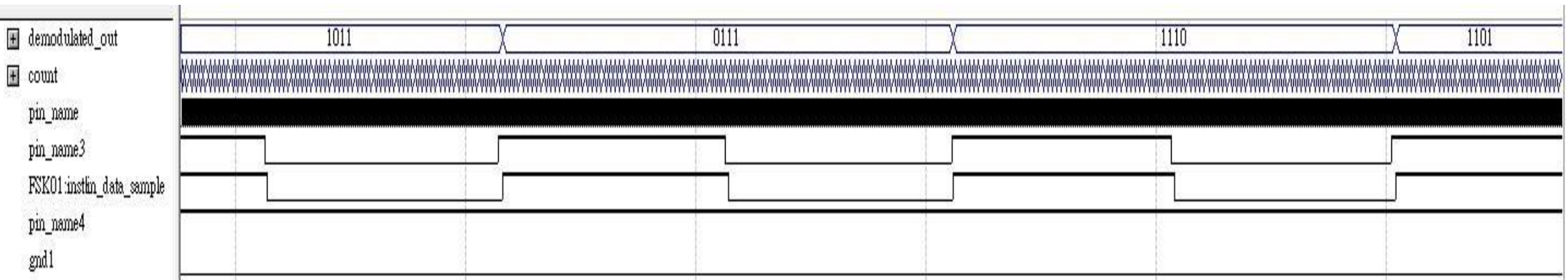


圖4 數位解調器模擬波形圖

三、晶片成品與量測結果：

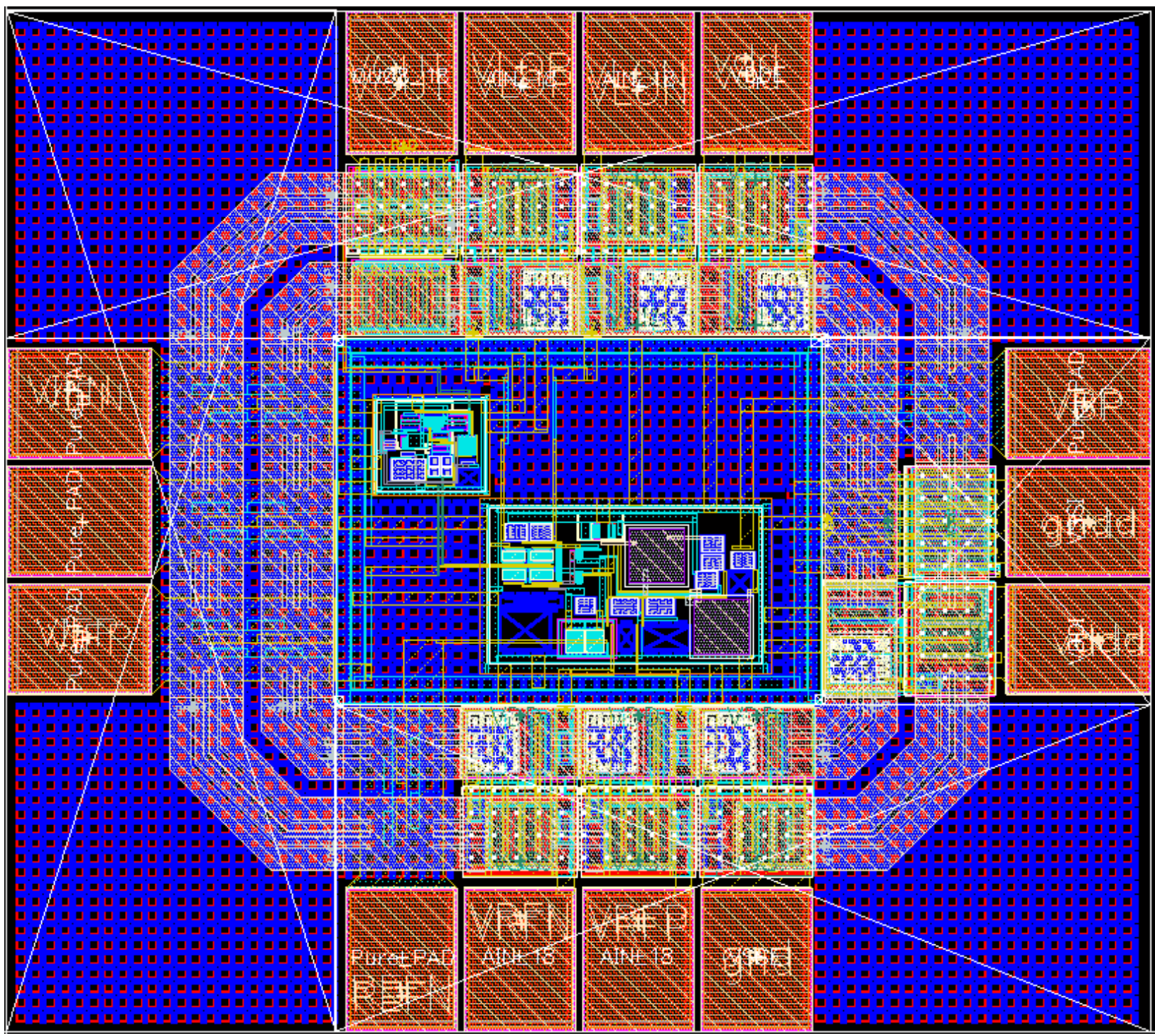


圖5 晶片總攬，包含mixer 以及外圍保護電路

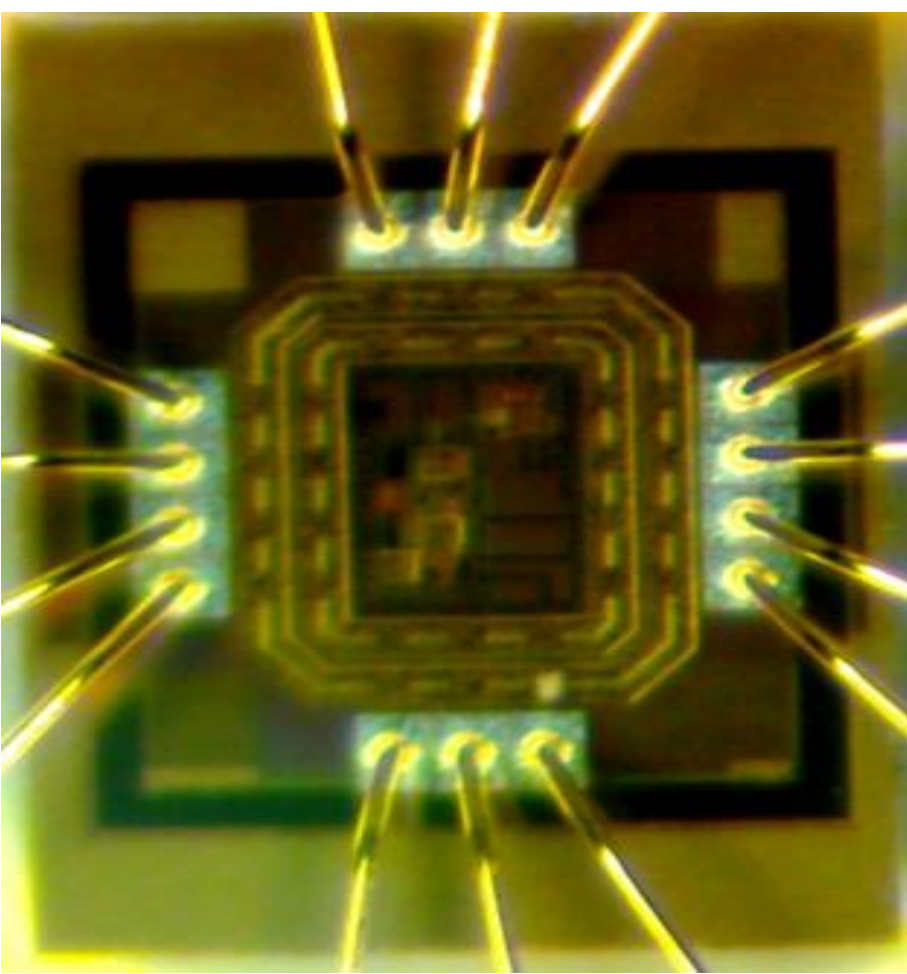


圖6 包裝後晶片放大照

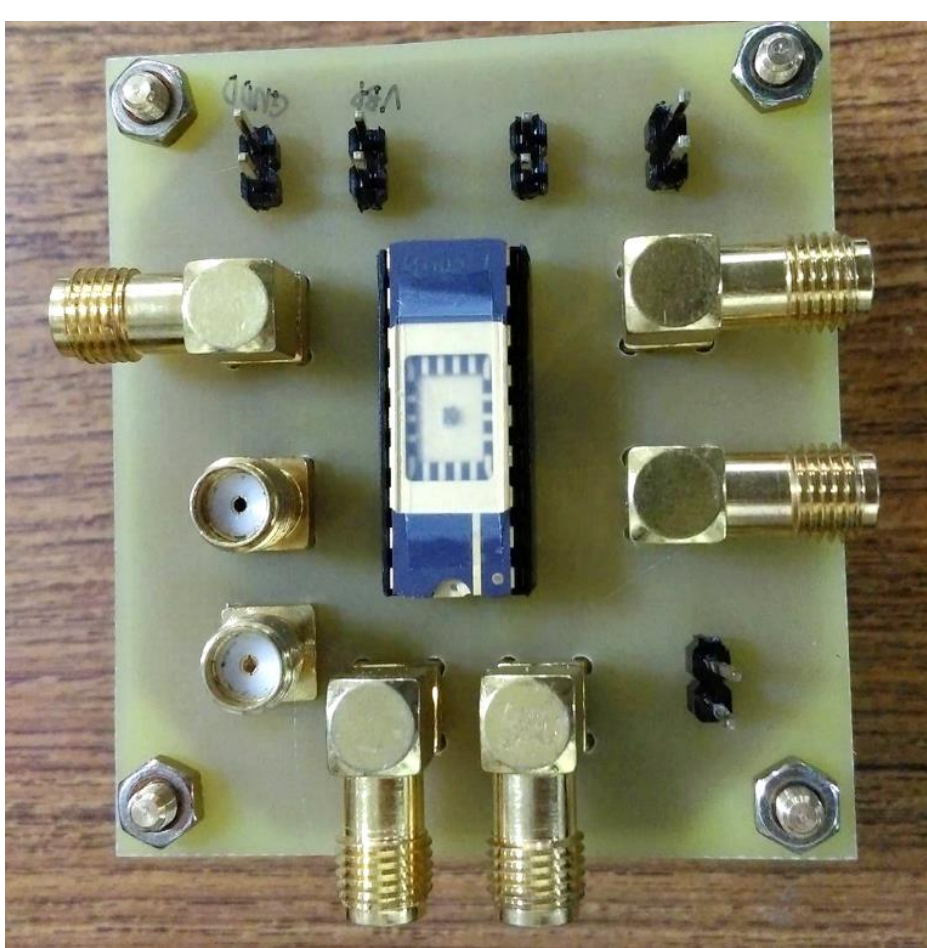


圖7 測試電路正面圖

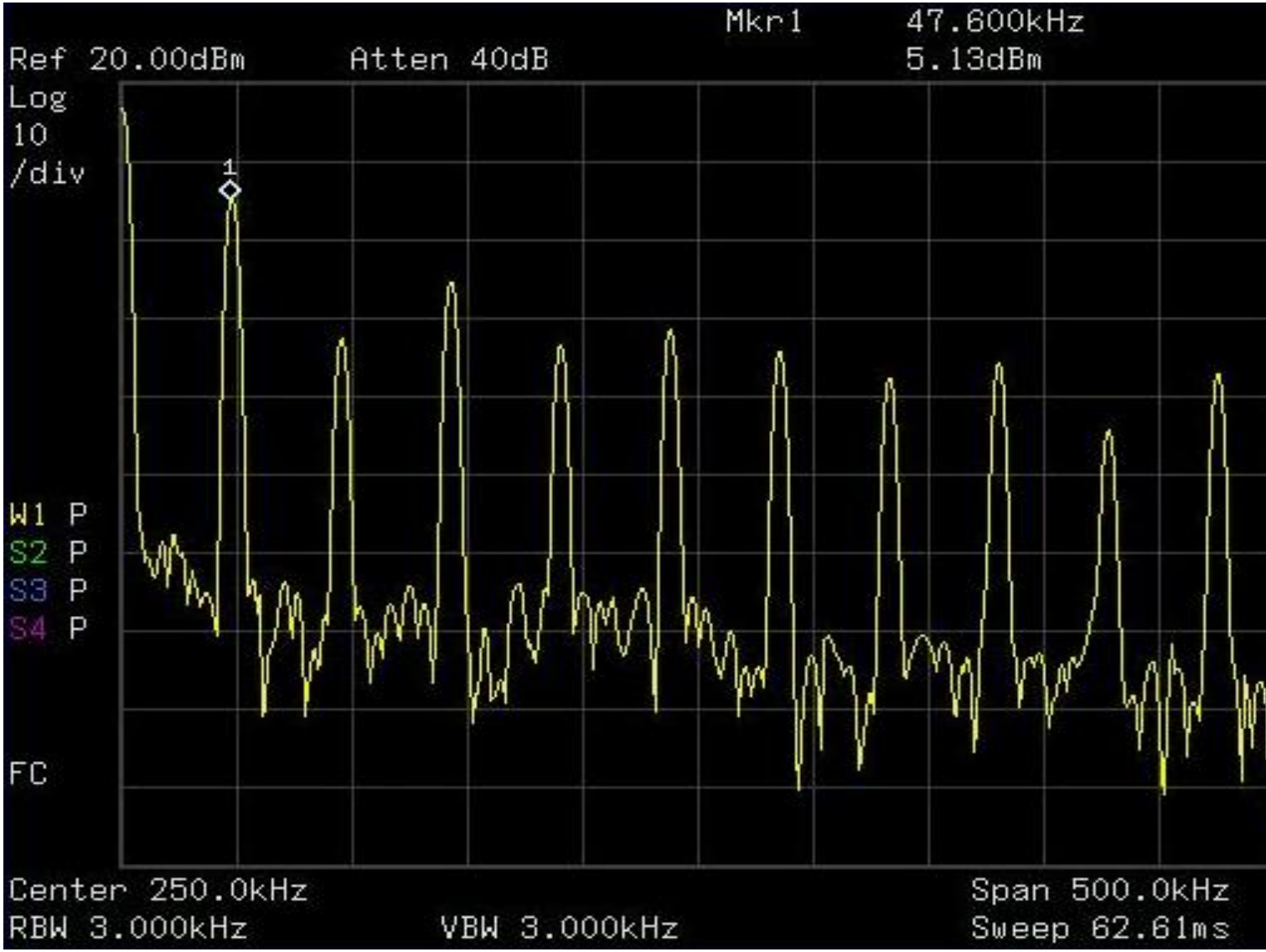


圖8 頻率9.9524MHz的Vrf所觀察到的輸出頻譜

左圖8為我們以信號產生器產生一組9.9524MHz的Vrf差動信號，經過混波器以及運算放大器所測量到的Vout頻譜，可以看出偶次倍頻率增益明顯小於奇次頻倍頻，可知本系統能有效對抗高頻雜訊。

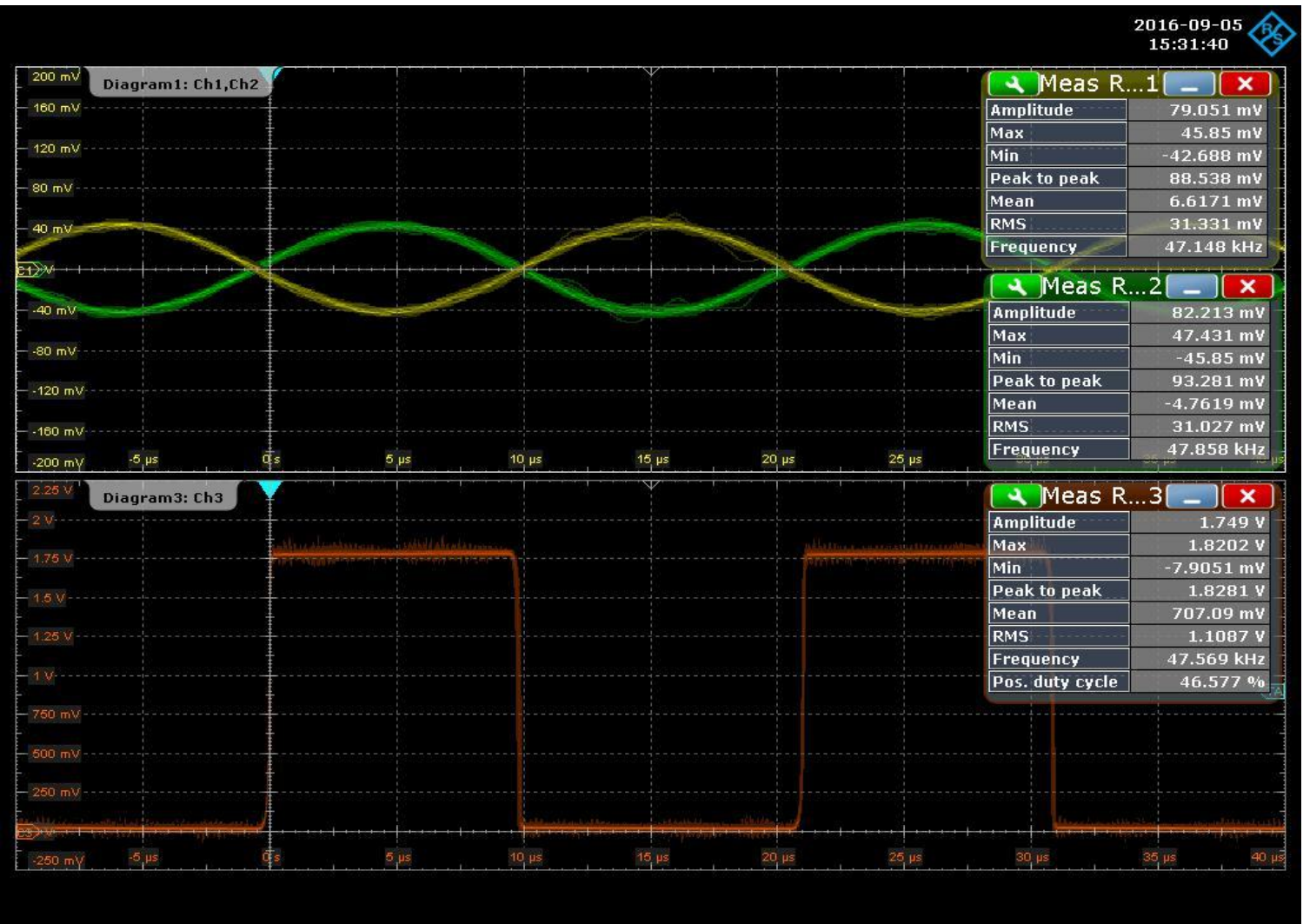


圖9 輸入 Vrf為9.9524MHz時示波器所顯示之輸出波型

左圖9是本系統量測結果，在示波器上黃線與綠線為PCB板上Vif所測得的差動信號，該信號為混波器的輸出，同時為運算放大器之輸入信號，橘紅線為運算放大器的全擺幅輸出；如圖所示Vif差動信號經過放大之後頻率幾乎維持不變，甚至是duty cycle都幾乎達50%，其振幅也達到1.82Vp-p；皆如同預期結果。

四、結論

本系統之混波器以及運算放大器以積體電路方式實踐，但由於時間因素並未能把FSK解調變器以及磁耦合線圈放入積體電路之中。在電路模擬階段用Cadence工具模擬之後用Virtuoso繪製Layout圖並使用國家晶片中心提供的Library做DLC、VLS、PEX，再以Spice工具做最後Post-Simulation，完成後使用台積電1P6M 0.18 um製程技術製作；磁耦合線圈則是使用訊號產生器模擬訊號，FSK解調變器則以DE2-115作為FSK解調變器，測量時晶片以CIC包裝之晶片進行測量，我們在晶片上留有輸入信號Vif、VLO、Vrf、以及運算放大器輸出Vo的測量腳位方便偵錯以及測量；原本預期到L、C、Rref使用外接的結果可能會導致電路失效；但測試結果說明本系統設計為良好設計，晶片各項功能達到預期表現。

未來展望則是希望將磁耦合線圈以及解調器都以System on Chip (S.O.C.)方式實現，相信未來可以應用在像是眼壓偵測，電子耳，虛擬視覺等技術。



2016 輔仁大學電機工程學系
大學部專題成果展

